

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-072693
 (43)Date of publication of application : 24.04.1984

(51)Int.Cl.

G11C 7/00
 G11C 8/00
 G11C 11/34

(21)Application number : 57-182501

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.10.1982

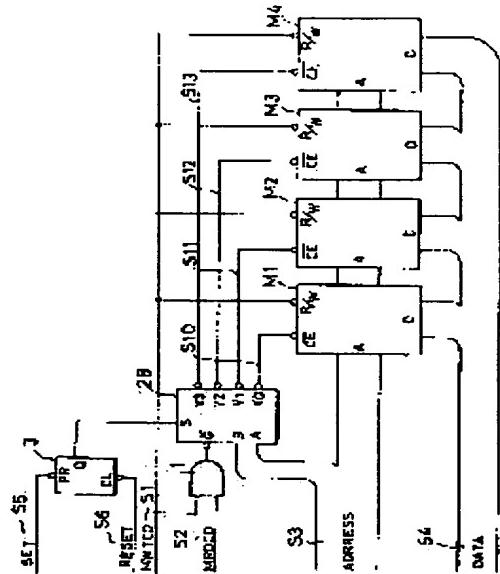
(72)Inventor : TANIMOTO ITARU

(54) MEMORY DEVICE

(57)Abstract:

PURPOSE: To write quickly many same data, by making all chip selecting signals active independently of a part of an address by a decoder decoding a part of the address to the chip selecting signal.

CONSTITUTION: A decoder 2A makes sequentially the chip selecting signals S10 S13 active in response to the input of a part of the address, and data are written sequentially in corresponding memory elements M1WM4. On the other hand, in setting an FF3 and applying a high level Q output to the decoder 2A, the decoder 2A makes all of the signals S10 S13 active independently of a part of the address, the same data are written in the memories M1WM4 at the same time, and the write of many same data is attained quickly.



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-72693

⑬ Int. Cl.³
G 11 C 7/00
8/00
11/34

識別記号

厅内整理番号
6549-5B
6549-5B
6549-5B

⑭ 公開 昭和59年(1984)4月24日
発明の数 1
審査請求 未請求

(全 5 頁)

⑮ メモリ装置

⑯ 特 願 昭57-182501
⑰ 出 願 昭57(1982)10月18日
⑱ 発明者 谷本至

東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内

⑲ 出願人 東京芝浦電気株式会社
川崎市幸区堀川町72番地

⑳ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

(1) アドレス信号の一部とデータ信号とチップセレクト信号と書き込み信号とをそれぞれ供給される複数個のメモリ素子と、前記アドレス信号の他の一部を書き込み信号と読み出し信号に従ってチップセレクト信号にデコードする機能およびアドレス信号にかかわりなくチップセレクト信号をすべて選択状態にする機能を有するデコーダと、前記二つの機能を選択する手段とを具備したメモリ装置。

(2) 前記二つの機能を選択する手段は、外部からセット信号およびリセット信号を供給されて作動するフリップフロップにより構成されていることを特徴とする特許請求の範囲第(1)項記載のメモリ装置。

(3) 前記二つの機能を選択する手段は、外部からの選択信号を用いるものであることを特徴

とする特許請求の範囲第(1)項記載のメモリ装置。

3. 発明の詳細な説明

[発明の技術分野]

本発明は複数の半導体メモリ素子からなり、情報を記憶するメモリ装置に関する。

[発明の技術的背景]

第1図に従来のメモリ装置の例を示す。第1図のメモリ装置は4個のメモリ素子M1～M4を中心に、アンドゲート1とデコーダ2Aとで構成されている。書き込み信号S1はメモリにデータを書き込むときアクティブとなる信号、読み出し信号S2はメモリからデータを読み出すときアクティブとなる信号である。アドレス信号S3はメモリの番地を示す信号で、複数本の信号線で構成され、データ信号S4はデータを示す信号で、やはり複数本の信号線で構成されている。チップセレクト信号S10～S13はそれぞれの対応するメモリ素子をアクティブにする信号で、この信号により複数のメモリ素子の中から一つのメモリ素子が選ばれる。なお、

デコーダ2Aの内部のブロック図を第2図に示す。この図でG1はインバータ、G2は NANDゲートである。

第1図に説明を戻し、このメモリ装置の書き込み時の動作を説明する。メモリにデータを書き込む時には、書き込み信号S1、アドレス信号S3、データ信号S4がマイクロコンピュータ等の制御装置から出力される。書き込み信号S1はアクティブになっており、各メモリ素子を書き込みモードにすると共に、アンドゲート1を通ってデコーダ2Aにも供給され、デコーダ2Aを動かせる。アドレス信号S3はその一部（一般に上位ビット）がデコーダ2Aに供給され、チップセレクト信号S10～S13にデコードされる。アドレス信号S3の他の部分（一般に下位ビット）は直接各メモリ素子のアドレス入力となり、チップセレクト信号S10～S13と合わせて、あるメモリ素子内のあるアドレスが指定される。そしてデータはデータ信号S4により、前記指定したアドレスに対応し

た番地へ書き込まれる。

〔背景技術の問題点〕

従来のメモリ装置は前述したように、メモリへのデータの書き込みを1番地ごとに行なっている。ところが、メモリの初期化の場合やメモリをディスプレイ等の画像メモリとして用いる場合等においては、しばしば大量の同一データをメモリに書き込む必要が出てくる。即ちメモリの初期化の際に、メモリすべてに0を書き込む場合や、画面を同一パターンや同一カラーにするために、画像メモリに同一データを書き込む場合等である。このような場合、従来のメモリ装置では、1番地ずつデータを書き込むために、メモリの書き込みサイクルタイムを1[μs]とすれば、例えば1000番地書き込むのに、最小でも $1[\mu\text{s}] \times 1000 = 1[\text{ms}]$ かかり、更に制御側のマイクロコンピュータ等のプログラム中でアドレスをインクリメントしたり、最終アドレスに達したか否かの判定をするステップが必要なので、実際は上記時間の数倍以上かかる。

ことが多い。このため、メモリの初期化や、画像メモリへ同一データを書き込む場合に時間がかかるという欠点があった。

〔発明の目的〕

本発明の目的は、大量の同一データをメモリ装置に書き込む場合に、このデータ全部を書き込むのに要する時間を、従来のメモリ装置より短縮することのできるメモリ装置を提供することである。

〔発明の概要〕

本発明は上記目的を達成するために次の如く構成したことを特徴としている。即ち本発明は複数個のメモリ素子と、アドレスの一部をチップセレクト信号にデコードするデコーダとを有するメモリ装置において、フリップフロップ等によりアコーダに制御信号を供給し、またこの制御信号によって前記アドレスの一部にかかわりなく、チップセレクト信号をすべてアクティブとするような機能をデコーダに付加して、同時に全メモリ素子を選択して、全メモリ素子に

同時書き込みを行ない、大量の同一データを書き込む際に、1個のメモリ素子にデータを書き込む時間で全メモリ素子にデータを書き込むことを特徴としている。

〔発明の実施例〕

第3図は本発明の一実施例の構成を示すものである。第3図のデコーダ2Bは、フリップフロップ3の出力がアクティブの時に、デコーダ2Bの出力、即ちチップセレクト信号S10～S13がすべてアクティブになるように働き、そうでない時は従来と同じように働くものであり、その内部構成は第4図のブロック図に示したようになっている。第4図でG1はインバータ、G3はアンドノアゲートである。第3図に戻ると、フリップフロップ3はマイクロコンピュータ等の制御装置から出力されるセット信号S5、リセット信号S6によってセット／リセットされ、セット状態の時出力がアクティブとなるものである。他の部分の構成は第1図の従来のメモリ装置と同じである。

このように構成された本装置は、次のように動作する。大量の同一データをメモリに書き込む時には、書き込み信号 S₁ をアクティプとすると共に、セット信号 S₅ をアクティプにしてフリップフロップ 3 をセット状態にする。そうするとこのフリップフロップ 3 の出力によってデコーダ 2B の出力、即ちチップセレクト信号 S₁₀～S₁₃ がすべてアクティプになり、メモリ素子 M₁～M₄ はすべて書き込み可能状態になる。そこでアドレス信号 S₃ のデコードに入力される部分（一般に上位ビット）は無視され、その他の直接メモリ素子の入力となる部分（一般に下位ビット）によって、全メモリ素子内のアドレスが指定される。そしてデータは全メモリ素子の指定されたアドレスに対応した番地へ同時に書き込まれる。また通常の異なったデータを書き込む場合には、リセット信号 S₆ によりフリップフロップ 3 をリセット状態にしておけば、デコーダ 2B は従来と同じようにアドレスの一部をデコードして、チップセレ

クト信号 S₁₀～S₁₃ を生成するので、本装置は従来と同じように動作する。

従って本装置によれば、一つのメモリ素子に対して、その素子のもつ全番地に書き込みを行なうことにより、同時にすべてのメモリ素子に書き込みが行なわれることになる。その結果本実施例のようにメモリ素子が 4 個ある場合は、全書き込み時間を $1/4$ にすることができる。また一般に第 5 図に示すように N 個のメモリ素子がある場合は、書き込み時間を $1/N$ に短縮することができる。

第 6 図は本発明の他の実施例の構成を示すもので、前述した第 3 図の実施例のフリップフロップを除いたものである。第 6 図の実施例では、直接選択信号 S₇ を、マイクロコンピュータ等の制御装置からデコーダ 2B に出力している。この選択信号 S₇ は、前述した実施例のフリップフロップ出力信号と全く同等の働きをする。また第 7 図にあるように、メモリ素子が N 個ある場合で、アドレス空間としては N + 1 個目の

素子に対応するアドレスがあるものとすれば、この仮想の N + 1 個目の素子に対応するアドレスをアクセスしたときに、選択信号 S₇ がアクティブになるようにしておくことにより、N + 1 個目のメモリ素子に同一データをメモリ素子 1 個分書き込むという操作によって、N 個の全メモリ素子にデータを書き込むことができる。このように本実施例においては、前述した実施例のフリップフロップを省いて、前述した実施例と同じ効果を得ることができる。

〔発明の効果〕

本発明によれば、大量の同一データをメモリ装置に書き込む場合に、全メモリ素子を同時に選択して書き込むことができ、全データの書き込み所要時間を、メモリ素子数を N とすれば、従来のメモリ装置の $1/N$ に短縮することのできるメモリ装置を提供することができる。

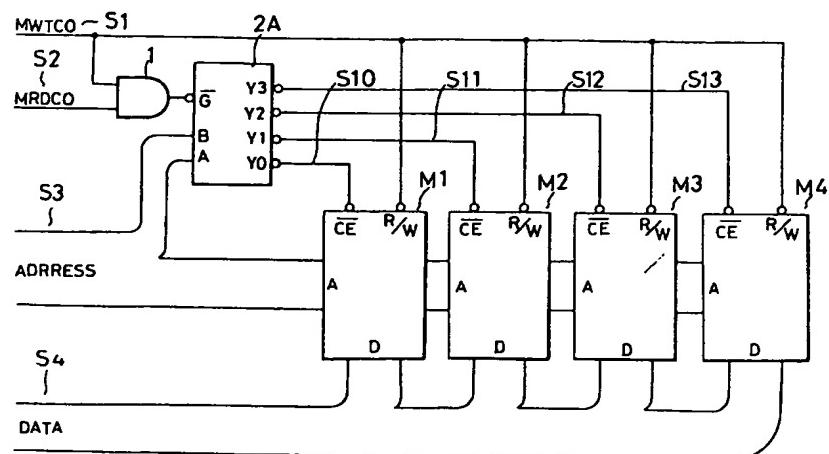
4. 図面の簡単な説明

第 1 図は従来のメモリ装置の構成を示すブロック図、第 2 図は第 1 図のデコーダ 2A の内部

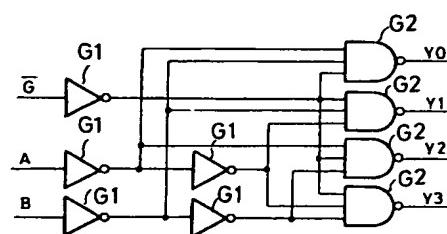
構成を示すブロック図、第 3 図～第 5 図は本発明の一実施を示す図で第 3 図は構成を示すブロック図、第 4 図は第 3 図のデコーダ 2B の内部構成を示すブロック図、第 5 図はメモリ素子が N 個ある場合のメモリマップ図、第 6 図および第 7 図は本発明の他の実施例を示す図で第 6 図は構成を示すブロック図、第 7 図はメモリ素子が N 個あり、アドレス空間がメモリ素子 N + 1 個分ある場合のメモリマップ図である。

I … アンドゲート、2A … デコーダ、2B … デコーダ、3 … フリップフロップ、M₁，M₂，M₃，M₄ … メモリ素子、G₁ … インバータ、G₂ … ナンドゲート、G₃ … アンドノアゲート、S₁ … 書き込み信号、S₂ … 読み出し信号、S₃ … アドレス信号、S₄ … データ信号、S₅ … セット信号、S₆ … リセット信号、S₇ … 選択信号、S₁₀，S₁₁，S₁₂，S₁₃ … チップセレクト信号。

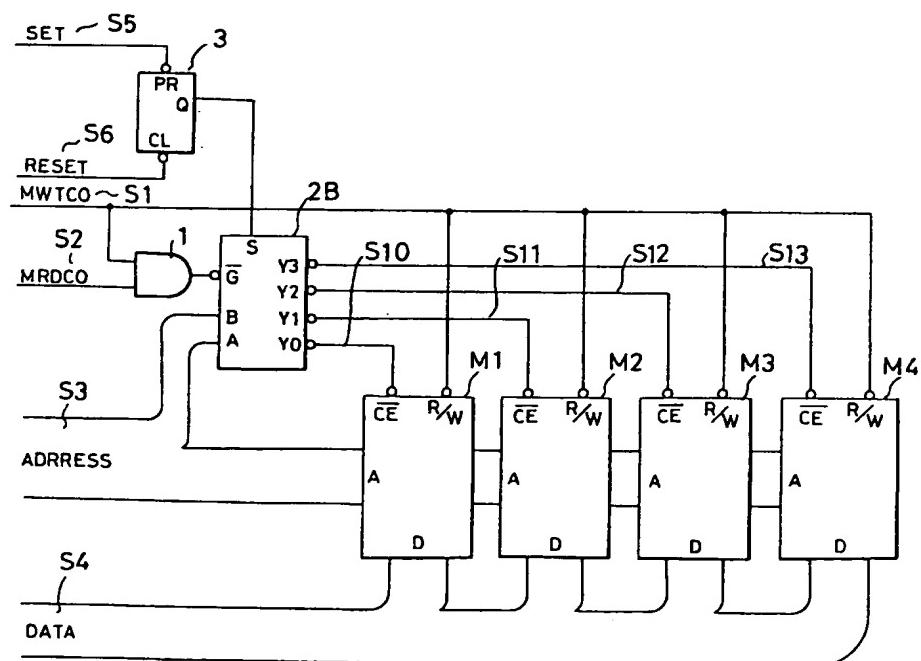
第 1 図



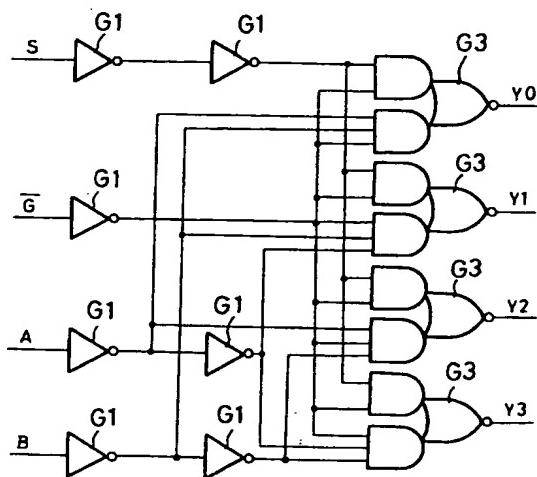
第 2 図



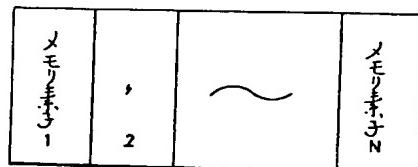
第 3 図



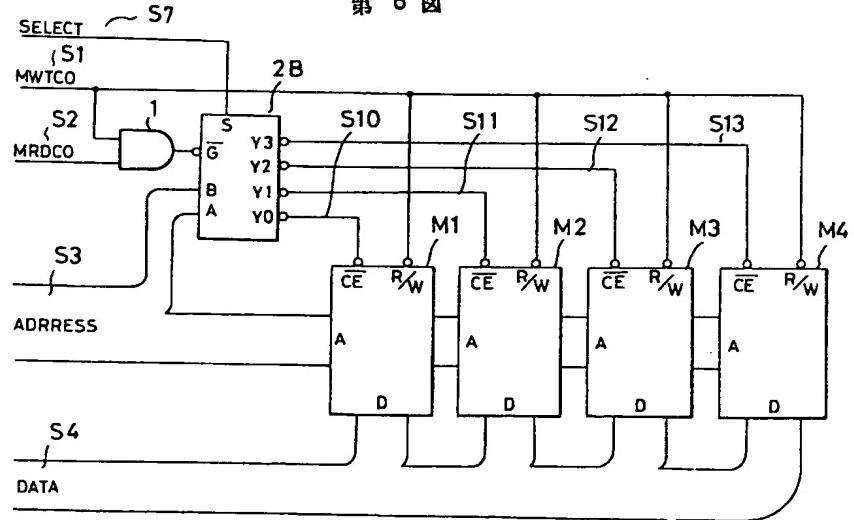
第 4 図



第 5 図



第 6 図



第 7 図

